

(12)特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2005年9月22日 (22.09.2005)

PCT

(10) 国際公開番号
WO 2005/088762 A1

(51) 国際特許分類⁷: H01P 3/08, 1/00

(21) 国際出願番号: PCT/JP2005/004854

(22) 国際出願日: 2005年3月11日 (11.03.2005)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願2004-069120 2004年3月11日 (11.03.2004) JP

(71) 出願人(米国を除く全ての指定国について): 日本電気
株式会社 (NEC CORPORATION) [JP/JP]; 〒1088001
東京都港区芝五丁目7番1号 Tokyo (JP).

(72) 発明者; および

(75) 発明者/出願人(米国についてのみ): 若林 良昌 (WAKABAYASHI, Yoshiaki) [JP/JP]; 〒1088001 東京都港区
芝五丁目7番1号 日本電気株式会社内 Tokyo (JP).
遠矢 弘和 (TOHYA, Hirokazu) [JP/JP]; 〒1088001 東
京都港区芝五丁目7番1号 日本電気株式会社内
Tokyo (JP). 山口 浩一 (YAMAGUCHI, Kouichi) [JP/JP];
〒6008813 京都府京都市下京区中堂寺南町134番地

(74) 代理人: 池田 憲保, 外 (IKEDA, Noriyasu et al.); 〒
1050003 東京都港区西新橋一丁目4番10号 第3森
ビル Tokyo (JP).

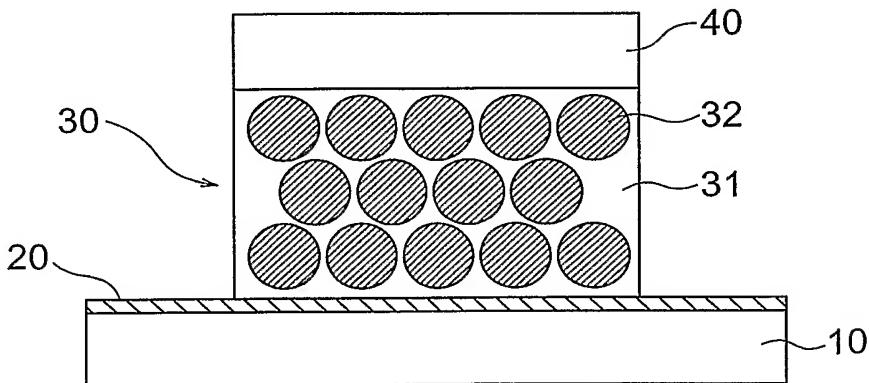
(81) 指定国(表示のない限り、全ての種類の国内保護が
可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR,
BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM,
DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU,
ID, IL, IN, IS, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT,
LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NI,
NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG,
SK, SL, SM, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US,
UZ, VC, VN, YU, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護
が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA,
SD, SL, SZ, TZ, UG, ZM, ZW), ヨーラシア (AM, AZ,
BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE,

/ 続葉有 /

(54) Title: TRANSMISSION LINE DEVICE AND METHOD FOR MANUFACTURING SAME

(54) 発明の名称: 伝送線路型素子及びその作製方法



(57) Abstract: A microstrip line device is composed of a first electrode layer (10) as a substrate which is made of a metal, a dielectric layer (20) formed by oxidizing, nitriding or oxynitriding the first electrode layer (10), a conductor layer (30) formed on the dielectric layer (20) and a second electrode layer (40) formed on the conductor layer (30). The conductor layer (30) is composed of at least conductive nanoparticles (32) and a binder resin (31).

(57) 要約: 基板となる金属で構成される第1の電極層10の上に、第1の電極層10を酸化または窒化または酸窒化して形成される誘電体層20と、誘電体層20上に形成される導電体層30と、導電体層30の上に形成される第2の電極層40を形成し、マイクロストリップ線路素子を構成する。導電体層30は、少なくとも導体ナノ粒子32とバインダ樹脂31とから成る。

WO 2005/088762 A1



BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, MC, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

添付公開書類:
— 國際調査報告書

明 細 書

伝送線路型素子及びその作製方法

技術分野

本発明は、伝送線路型素子の構造及びその作製方法に関し、特にマイクロストリップ線路の構造及びその作製方法に関する。

背景技術

近年、パーソナルコンピュータなどの電子システムに搭載されるLSIの数は増加する傾向にある。その結果、電子システムを安定に動作させるためにはLSI同士の相互干渉を防ぐためのデカップリングコンデンサをボード上に多数実装することが必要となっている。また、LSIは高速化の一途をたどっており、その動作周波数は1GHzを越えるものがある。一方、低速で動作するLSIも同じボード上で依然使用される事が多い。この場合、数十kHzの低周波数から数GHz程度の高周波域までをデカップリングするために、容量の異なるコンデンサを複数組み合わせてボードに実装する必要がある。

これらの要求を満たすために、例えばサーバボードなどでは1000個を越えるコンデンサを使用する場合もある。これは、プリント基板上の部品レイアウトを非常に難しいものにしている。

このような問題を解決するために、コンデンサに代わる優れたデカップリング特性を持つ、シールドストリップ線路型素子と呼ばれる素子が提案されている。このようなシールドストリップ線路型素子は、例えば、日本国特許公開公報2003-101311号（以下、文献1）や、日本国特許公開公報2003-124066号（以下、文献2）に開示されている。

しかしながら、文献1、2に開示されているシールドストリップ線路型素子にはいくつかの問題点がある。

第1の問題点は従来のチップコンデンサなどと比べるとその外形が大きいということである。このため、プリント基板上でデカップリング素子が占める面積を

大幅に低減することが出来ないだけでなく、レイアウトの困難さを根本から解消することも期待できない。

第2の問題点は周波数が100MHz以上になるとデカップリング特性が劣化するということである。この原因は主にプリント基板などに実装するために必要である引き出し電極と、材料として使用している導電性高分子のそれぞれが、100MHz程度以上の高周波領域では高インピーダンスを持つこととなるからである。つまり、引き出し電極はそれ自体がインダクタンスを持っている。インダクタンスをL、周波数をfとすると、そのインピーダンスZは、 $Z = j 2\pi f L$ で表される。従って、周波数が高くなるほど、引き出し電極のインピーダンスは高くなる。また、誘電体層と電極の間に導電性高分子も高周波領域ではその導電性が低くなり、高インピーダンスを持つ寄生インダクタンスとなる。その結果、デカップリング特性が劣化する。

発明の開示

本発明の目的は、プリント基板上での実装面積を占有すること無く、数十kHz程度の低周波数から数GHz程度の高周波域までの広帯域にわたって優れたデカップリング特性を持つ伝送線路型素子及びその作製方法を提供することにある。

本発明の他の目的は、プリント基板に内蔵することができる伝送線路型素子及びその作製方法を提供することにある。

本発明の好ましい態様による伝送線路型素子は、基板となる金属で構成される第1の電極層と、この第1の電極層を酸化または窒化もしくは酸窒化して形成される誘電体層と、この誘電体層上に形成される導電体層と、この導電体層の上に形成される第2の電極層とを含む。導電体層は、少なくとも導体ナノ粒子とバインダ樹脂とから成る。なお、第2の電極層は無くても良く、この場合、伝送線路型素子は、第1の電極層と、誘電体層と導電体層とを含み、導電体層が第2の電極層として使用される。

導電体層は、アクリル樹脂、エポキシ樹脂などの有機樹脂、またはポリチオフェン、ポリピロールなどの導電性高分子、あるいはポリシランなどの有機無機ハイブリッド樹脂からなるバインダ層と、このバインダ層と相互に均一に分散させ

た導体ナノ粒子とから成る。導電体層を以上の構成とすることで、広い周波数帯においてほぼ一定の導電性を示すことができ、伝送線路型素子のデカップリング特性の周波数依存性を小さくすることができる。

一方、本発明の好ましい態様による伝送線路型素子の作成方法は、第1の電極層上に導電体層を製膜し、所定の温度で熱処理することで第1の電極層と導電体層との間に誘電体層を作製する。つまり、第1の電極層を酸化または窒化あるいは酸窒化することで前記誘電体層を前記導電体層と同時に形成することができ、素子作製の工程簡素化、素子作製の低コスト化が可能となる。熱処理温度は、250°C以上600°C以下が好ましい。

本発明によれば、数十kHzから数GHz程度までの広帯域にわたって優れたデカップリング特性を示す伝送線路型素子を低成本で作製し、得ることができる。

加えて、本発明による伝送線路型素子はプリント基板に内蔵することができ、プリント基板実装において部品数の低減、実装レイアウトの簡素化ひいては電子機器、電気機器の低コスト化という観点において産業上もたらす効果は甚大である。

図面の簡単な説明

図1は、本発明の第1の実施の形態による素子を示す斜視図であり、

図2は、図1に示された素子の断面図であり、

図3A乃至図3Eは、本発明の第1の実施の形態による素子の作製過程を示す工程図であり、

図4は、本発明の第2の実施の形態による素子の断面図である。

発明を実施するための最良の形態

[原理]

本発明の実施の形態について説明する前に、原理について説明する。

伝送線路型素子において低周波から高周波までの広帯域で優れたデカップリング特性を実現する為には、伝送線路に付随する寄生インダクタンスならびに寄生

抵抗を小さくし、かつ伝送線路の特性インピーダンスを小さくする必要がある。寄生インダクタンスを小さくしなければならない理由は前述した通りである。また、抵抗成分はそのままインピーダンス成分となるので、寄生抵抗が大きくなると、インピーダンスも増加する。インピーダンスの増加はデカップリング特性の低下に繋がるので、寄生インダクタンスと同様に寄生抵抗も小さくする必要がある。同様に、伝送線路の特性インピーダンスも低い方が優れたデカップリング特性を示す。

通常、マイクロストリップ線路のような伝送線路型素子は、第1の電極層の上に、誘電体層、導電体層、第2の電極層が順に形成されて成る。このようなマイクロストリップ線路において、導電体層及び第2の電極層の幅をW、誘電体層の厚さをh、誘電体層の比誘電率を ϵ_r とすると、 $W/h > 1$ の時のマイクロストリップ線路の特性インピーダンス Z は次の式にて表される（例えば、E. Hammerstad and O. Jensen: 「Accurate Models for Microstrip Computer-Aided Design」, 1980 IEEE MTT-S Digest, pp 407-709による。）。

$$Z = (120\pi/\epsilon_{\text{eff}})^{1/2} \times \{W/h + 1.393 + 0.667 \ln(W/h + 1.444)\}$$

$$\epsilon_{\text{eff}} = (\epsilon_r + 1) / 2 + (\epsilon_r - 1) / 2 (1 + 12h/W)^{1/2}$$

上記式から誘電体層の比誘電率が ϵ_r 一定の場合、 W/h が大きいほど、つまり導電体層及び第2の電極層の幅Wに対して誘電体層の厚さhが薄いほどマイクロストリップ線路の特性インピーダンスが小さくなる。

特性インピーダンスが小さくなると、伝送線路に接続される電源ラインとのインピーダンスマッチが大きくなる。その結果、伝送線路の端面で高周波電力が反射され、伝送線路を通り抜けることが出来なくなる。これはまさにデカップリング効果であり、よって伝送線路の特性インピーダンスを小さくする必要がある。また、マイクロストリップ線路の特性インピーダンスの式から、特性インピーダンスは周波数に依存せず一定であることがわかる。よって、このミスマッチを利用したデカップリング効果は高い周波数領域まで有効である。

一方、マイクロストリップ線路を第1の電極層と誘電体層と導電体層及び第2の電極層とで成るコンデンサとみなした時、 W/h が大きいという事はそのコンデンサの静電容量が大きいという事に他ならない。コンデンサの容量が増加すると、マイクロストリップ線路が伝送線路と見なせないような低周波領域でのデカップリング特性が向上する。よって、特性インピーダンスが小さいほどマイクロストリップ線路のデカップリング特性は向上するということができる。具体的には、特性インピーダンスを 1Ω 以下程度まで下げることで、十分なデカップリング効果を得ることが出来る。

以上のような観点から、本発明では、誘電体層の厚みを薄くし、また導電体層の導電率を高い周波数まで高い導電率のまま維持する事で広帯域なデカップリング素子を実現する。

図1を参照して、本発明を伝送線路型素子、特にマイクロストリップ線路に適用した第1の実施の形態について説明する。

第1の電極層10上に誘電体層20を介して導電体層30と第2の電極層40が配置されて、マイクロストリップ線路構造を形成している。導電体層30は、バインダ層31と導体ナノ粒子32とを含む。

後述するように、第1の電極層10の表面に導電体層30を形成することで、第1の電極層10の表面近傍には導電体層の構成物質のみが存在することとなり、第1の電極層10の表面近傍から酸素分子や窒素分子を排除することが出来る。このため導電体層30を介して微量に供給される酸素あるいは窒素により、第1の電極層10の酸化または窒化あるいは酸窒化はゆっくりと進み、その結果、誘電体層20の膜厚を制御良く薄く形成する事が出来る。

また、バインダ層31を構成する樹脂の導電率の周波数依存性について、有機樹脂、導電性高分子、有機無機ハイブリッド樹脂のいずれの場合も、顕著な周波数依存性を示し、特に高周波領域で導電率が小さくなる。しかしながら、金属や金属酸化物の導体ナノ粒子32の導電率が数十万 S/cm 程度でかつ周波数依存性もほとんど無いので、バインダ層31と導体ナノ粒子32を相互に均一に分散させて導電体層30とすることで導電体層30は広い周波数領域にわたって、ほぼ一定の高い導電率を維持する事が出来る。

それゆえ、本発明による伝送線路型素子は数十 kHz から数 GHz にわたる広帯域なデカップリング素子とする事が出来る。

[構造]

図 1 を参照すると、本発明による伝送線路型素子の一例としてマイクロストリップ線路が示されている。図 2 は、図 1 の断面図である。

第 1 の電極層 10 上に誘電体層 20 を介して導電体層 30 と第 2 の電極層 40 が配置されて、マイクロストリップ線路構造を形成している。導電体層 30 は、有機樹脂、導電性高分子あるいは有機無機ハイブリッド樹脂からなるバインダ層 31 と、バインダ層 31 と相互に均一に分散させた導体ナノ粒子 32 とから成っている。

第 1 の電極層 10 は酸化あるいは窒化あるいは酸窒化後の比誘電率の高い材料が良く、例えばチタン、タンタル、クロム、ニオブなど、特に酸化あるいは窒化あるいは酸窒化後の比誘電率が 10 以上の材料が好適である。第 1 の電極層 10 の厚さには特に制限は無いが、本発明による素子をプリント基板に内蔵する場合は第 1 の電極層 10 の厚さは 10 μm から 100 μm 程度が好適である。

誘電体層 20 は第 1 の電極層 10 を酸化または窒化あるいは酸窒化することで形成する。誘電体層 20 の膜厚は薄ければ薄いほどマイクロストリップ線路の特性インピーダンスが下がり、その結果、すぐれたデカップリング特性を実現できる。一方、誘電体層 20 の厚さはマイクロストリップ線路の耐電圧に影響し、薄すぎると耐電圧が低くなり短絡不良を発生する。よって、誘電体層 20 の厚さは 10 nm から 100 nm 程度が好適である。

導電体層 30 はバインダ層 31 と導体ナノ粒子 32 からなり、バインダ層 31 は導体ナノ粒子 32 を膜として保持するために用いる。この時の導体ナノ粒子 32 は、導電体層 30 の 10 重量% 以上 100 重量% 未満が好ましい。この範囲であれば、バインダ層 31 は良好な薄膜状態を保持し、かつバインダ層としての導電率が低下することは無い。また、上記組成範囲であれば、導電体層 30 の導電率を高い導電率のまま高周波領域まで維持できるので、バインダ層 31 の導電率は特に限定されないが、塗布などの方法で容易に形成可能な有機樹脂や導電性高分子や有機無機ハイブリッド樹脂が好適である。または、酸化または窒化あるいは

は酸塗化した有機樹脂や導電性高分子や有機無機ハイブリッド樹脂でも構わない。

導電性高分子の具体例としては、ポリアセチレン、ポリフェニレン、ポリフェニレンビニレン、ポリアセン、ポリフェニレンアセチレン、ポリピロール、ポリアニリン、ポリチエニレンビニレン、ポリアズレン、ポリイソチアナフタレン、ポリチオフェンなどが良い。

また、有機無機ハイブリッド樹脂はポリシラン、有機シリコン化合物、有機チタン化合物、有機アルミニウム化合物などが良い。

有機樹脂としてはアクリル樹脂、エポキシ樹脂、フェノール樹脂などが良い。

本発明の伝送線路型素子が優れたデカップリング特性を実現する為には導電体層30の導電率に周波数依存性が少なく全周波数帯にわたって一定のものが好適である。

導体ナノ粒子32は、直径（平均粒子径）が1nmから500nm程度の金属粒で、バインダ層31と相互に均一に分散できる特性が求められる。また、焼成時に全面で均一に凝縮し、第2の電極層40と共にマイクロストリップ線路を構成する電極の一部とならなければならない。このような条件に適した材料例は、金、銀、銅、酸化銀、酸化銅、酸化スズ、酸化亜鉛、酸化インジウム、酸化バナジウム、酸化タンクス滕、酸化モリブデン、酸化ニオブ、酸化ロジウム、酸化オスミウム、酸化イリジウム、酸化デニウムのうちの少なくとも1つ、あるいはこれらのうち2組ないしはそれ以上の組み合わせの化合物である。なお、酸化銀、酸化銅などの金属酸化物はそのままでは絶縁体であるので、焼成時あるいは焼成後に還元処理を施して金属に戻す必要がある。

第2の電極層40は金、銀、アルミニウムなど、単体で安定、あるいは表面が酸化や硫化をしてその後安定な材料が適当であるが、これに限る必要はない。また、導電体層30の焼成後の導電率が、金属の導電率とほぼ同等となる場合においては、第2の電極層40を形成しなくとも、本発明の効果を損なうものではない。

第1の電極層10から第2の電極層40までを形成後、本発明による素子を積層プリント基板に内蔵することが出来る。

これまでの説明で明らかなように、本発明による素子は第1の電極層10上に

マイクロストリップ線路を形成している。そこで、本発明による素子の第1の電極層10を積層プリント基板内のある1層の配線層として、積層プリント基板内に作り込むことが出来る。マイクロストリップラインの両端を入力端子及び出力端子とするので、例えばLSIの電源端子のデカップリング用途で使用する場合、一方のマイクロストリップ線路端とLSIの電源端子をビアなどで接続し、他方のマイクロストリップ線路端に電源配線を接続する。こうすることで積層プリント基板内に本発明による素子を組みこむことが出来、これまでプリント基板上に多数実装していたコンデンサなどのデカップリング素子を実装する必要が無くなる。その結果、コンデンサなどのデカップリング素子相当分のコスト削減が可能となることのみならず、プリント基板上のレイアウトが格段にやりやすくなるという利点を得ることが出来る。

また、LSIなどノイズ発生源の直下のプリント基板内に本発明による素子を配置することが可能となり、ノイズ発生源からデカップリング素子まで配線を引き回す必要が無くなる。その結果、引き回し配線からノイズが漏れることも無くなるので、効果的なデカップリングが可能となるという利点もある。

更に、従来のコンデンサなど表面実装型のデカップリング素子では、実装の為のリード線や電極が必ず必要であり、このリード線や電極の持つ寄生インダクタンスがデカップリング素子の高周波特性を劣化させていた。しかしながら、プリント基板に本発明による素子を内蔵することで、デカップリング素子にリード線や電極をつける必要が無くなり、寄生インダクタンスの影響を無くすことが出来る。その結果として、GHzを越える高周波領域まで優れたデカップリング特性を実現することが出来る。

[作製法]

次に、図3A乃至図3Eを参照して第1の実施の形態のマイクロストリップ線路の作製方法を説明する。図3A乃至図3Eはマイクロストリップ線路の作製過程をそのプロセス順に示した断面図である。

始めに、図示していないが、導電体層30を形成するための混合物を作成する。この混合物はバインダ層31の材料である、有機樹脂、あるいは導電性高分子あるいは有機無機ハイブリッド樹脂と導体ナノ粒子32を相互に分散させることに

より形成する。分散の方法は超音波分散や3本ロールミル分散など、特にその手法は問わないが、バインダと導体ナノ粒子32を十分均一に分散させておく。ここで、分散が不十分であると、均一な導電体層30を形成することが出来ない。

次に、図3Aに示すように、第1の電極層10を用意する。それから、図3Bに示すように、第1の電極層10の上に、上述した導電体層30を形成するための混合物をスピンドルコート、バーコートやスクリーン印刷など各種の湿式製膜法により塗布する。その後、第1の電極層10塗布された混合物を焼成して導電体層30を形成する。

導電体層30を形成すると同時に導電体層30と接している第1の電極層10の表面を、酸化または窒化あるいは酸窒化させ、図3Cに示すように、誘電体層20を形成する。このとき、導電体層30が第1の電極層10上に形成されている為、第1の電極層10の表面には十分な酸素分子あるいは窒素分子が供給されない。その結果として、第1の電極層10の表面の酸化または窒化あるいは酸窒化はゆっくりと進み、得られる誘電体層20の膜厚を薄く制御することが出来る。このとき、バインダ層31はその構成物の一部が酸化または窒化あるいは酸窒化しても良い。

導電体層30の焼成温度は、250°C以上600°C以下が好ましい。250°C未満の温度では、第1の電極層10の表面に誘電体層20が部分的にしか形成されず完全な膜とならない。一方、600°C以上の温度では、第1の電極層10の表面に形成される誘電体層20の膜厚が100nmよりも厚くなりすぎて誘電体層20の静電容量が小さくなってしまう。ここで、600°C以上の焼成温度の場合に、形成される誘電体層20の厚みを所望の厚みに維持するため導電体層30を厚くすると、導電体層30の導電率が小さくなってしまう。したがって、導電体層30の焼成温度は、上述の通り、250°C以上600°C以下が好ましい。

このように、上記方法によれば、誘電体層20の形成を導電体層30の形成と同時に行うことができるので工程・コスト削減など産業上有益である。

その後、図3Dに示すように、導電体層30上に第2の電極層40として金属層を真空蒸着法、スパッタ法、メッキ法などで形成する。あるいは、銀ペーストなどの導電性ペーストを導電体層30上に塗布しても良い。

本発明による素子をデカップリング素子として使用する場合、導電体層30と第2の電極層40には直流電流を流すことになる。このことを考慮すると、導電体層30と第2の電極層40の厚さは、その合成抵抗が数mΩとなるような厚さにすべきである。一例として、導電体層30は0.5μmで第2の電極層40は10μm程度である。

第2の電極層40を形成後、メタルマスク、フォトマスクなどでパターニングを行い、エッティングによる不要部分の除去を行い、図3Eに示すように、所望のストリップ線路形状を形成する。

次に、図4を参照して本発明の第2の実施の形態を説明する。第2の実施の形態は半導体基板上に本発明による素子を形成したものである。

図4は本発明の第2の実施の形態による素子の断面図である。半導体基板50上に第1の電極層60と誘電体層70と導電体層80と第2の電極層90とが積層されている。導電体層80は導電性高分子あるいは有機無機ハイブリッド樹脂からなるバインダ層81とバインダ層内に均一に分散させられた導体ナノ粒子82とから成っている。

半導体基板50はシリコン、ガリウムヒ素など、現在一般的に使われている半導体ウエハのみならず、シリコンゲルマニウム、インジウムリン、窒化ガリウム、炭化シリコンなどその他の半導体ウエハでも問題ないことは言うまでもない。この半導体基板50上に第1の電極層60として白金、金、チタン、タンゲステンなど、単体で安定な金属の単層膜あるいはその積層膜を真空蒸着法、スパッタ法などにより形成する。

その後、誘電体層70をCVD法、スパッタ法などにより形成する。形成する誘電体層70は酸化シリコン、窒化シリコン、酸窒化シリコン、STO (SrTiO₃)、BST (BaSrTiO₃)、PZT (PbZrTiO₃) などである。しかし、これらの材料に限らず、できるだけ高い比誘電率を持つ材料が望ましく、またその厚さは数nmから100nm程度がよい。また、誘電体層70の形成方法もCVD法、スパッタ法に限るものではなく、誘電体薄膜を形成できる方法であれば他の方法でも構わない。

その後、導電体層80を形成するための混合物をスピンドルコートにより塗布し、

それを焼成して導電体層 80 を形成する。導電体層 80 はバインダ層 81 と導体ナノ粒子 82 からなる。

その後、フォトリソグラフィープロセス、ドライエッチングプロセス、ウェットエッチングプロセス、ミリングプロセスなどを利用し、誘電体層 70 及び導電体層 80 を所望のストリップ線路構造にパターンニングする。

パターンニング後、導電体層 80 上に第 2 の電極層 90 として白金、金、銀、銅、アルミニウム、チタン、タンゲステンなど、単体で安定あるいは表面が酸化や硫化後に安定な金属の単層膜あるいはその積層膜を真空蒸着法、スパッタ法、メッキ法などで形成する。

本発明による素子をデカップリング素子として使用する場合、導電体層 80 と第 2 の電極層 90 には直流電流を流すことになる。このことを考慮すると、導電体層 80 と第 2 の電極層 90 の厚さは、その合成抵抗が数 $m\Omega$ となるような厚さにすべきである。

[実施例]

次に、図 3 を参照して第 1 の実施の形態による素子の作製方法を具体的な実施例で説明する。

始めに、図示していないが、導電体層 30 を形成する混合物を作成する。この混合物はバインダ層 31 の材料であるシリコーン B 8248 (東芝シリコーン社製) 7 重量部と酸化スズナノ粒子 32 (三菱マテリアル社製) 65 重量部及びガラス微粒子 28 重量部を相互に分散させることにより形成する。分散は 3 本ローラルミルを用いて行った。

次に、チタン箔から成る第 1 の電極層 10 を用意し (図 3 A)、その上に導電体層 30 を形成するための混合物をバーコートにより塗布した (図 3 B)。その後、第 1 の電極層 10 上に塗布された混合物を 500 °C で焼成して導電体層 30 を形成すると同時に導電体層 30 と接している第 1 の電極層 10 であるチタン箔の表面を酸化させ、誘電体層 20 を形成した (図 3 C)。このとき導電体層 30 の膜厚は 0.5 μm であった。

その後、導電体層 30 上に金を真空蒸着して、第 2 の電極層 40 を形成した (図 3 D)。この時、第 2 の電極層 40 の膜厚は 10 μm 程度で、大きさは 1 × 30 m

mであった。

作製した素子をコンデンサとして評価すると静電容量は $2 \mu F$ であった。

以上のようにして作製したマイクロストリップ線路のSパラメータをネットワークアナライザにより評価したところ、S21は1MHzで-51dB、10MHzで-91dB、100MHz以上では-110dB以下であった。-110dBという値は測定器の測定限界以下であり、実際には-110dBよりも小さいが正確な値を評価することが出来なかった。

次に、図4を参照して第2の実施の形態による素子の作製方法を具体的な実施例を用いて説明する。

シリコン基板50上に金から成る第1の電極層60とSTOからなる誘電体層70と導電体層80と金からなる第2の電極層90とが積層されている。導電体層80は第1の実施の形態における導電体層30と同じ材料である。

シリコン基板50上に第1の電極層60として金を真空蒸着法により形成した。その後、誘電体層70としてSTOをスパッタ法により10nmの膜を形成した。その後、導電体層80を形成するための混合物をスピンドルコートにより塗布し、焼成して導電体層80を形成した。導電体層80上に第2の電極層90として金を真空蒸着法で形成した。

その後、誘電体層70及び導電体層80を所望のストリップ線路構造にフォトリソグラフィープロセス、ドライエッチングプロセスにより $10 \mu m \times 300 \mu m$ にパターンニングした。

作製した素子をコンデンサとして評価すると静電容量は $1 nF$ であった。

請 求 の 範 囲

1. 第1の電極層上に、少なくとも誘電体層、導電体層が順に配置されて成るマイクロストリップ線路において、前記導電体層が、少なくとも導体ナノ粒子とバインダ樹脂とから成ることを特徴とするマイクロストリップ線路。
2. 前記導体ナノ粒子が、金、銀、銅、酸化銀、酸化銅、酸化スズ、酸化亜鉛、酸化インジウムのうち少なくとも1つを含み、かつ該導体ナノ粒子の平均粒子径が1nm以上500nm以下であって、かつ導電体層中の該導体ナノ粒子の含有量が10重量%以上100重量%未満であることを特徴とする請求項1に記載のマイクロストリップ線路。
3. 特性インピーダンスが1Ω以下であることを特徴とする請求項1または2に記載のマイクロストリップ線路。
4. 前記導電体層の上に第2の電極層が配置されていることを特徴とする請求項1または2に記載のマイクロストリップ線路。
5. 前記第1の電極層上に前記導電体層を製膜し、250°C以上600°C以下の温度で熱処理することで前記第1の電極層と前記導電体層との間に前記誘電体層を作製することを特徴とする請求項1または2に記載のマイクロストリップ線路の作製方法。
6. 前記誘電体層は、前記第1の電極層を酸化または窒化あるいは酸窒化して形成されることを特徴とする請求項5に記載のマイクロストリップ線路の作製方法。

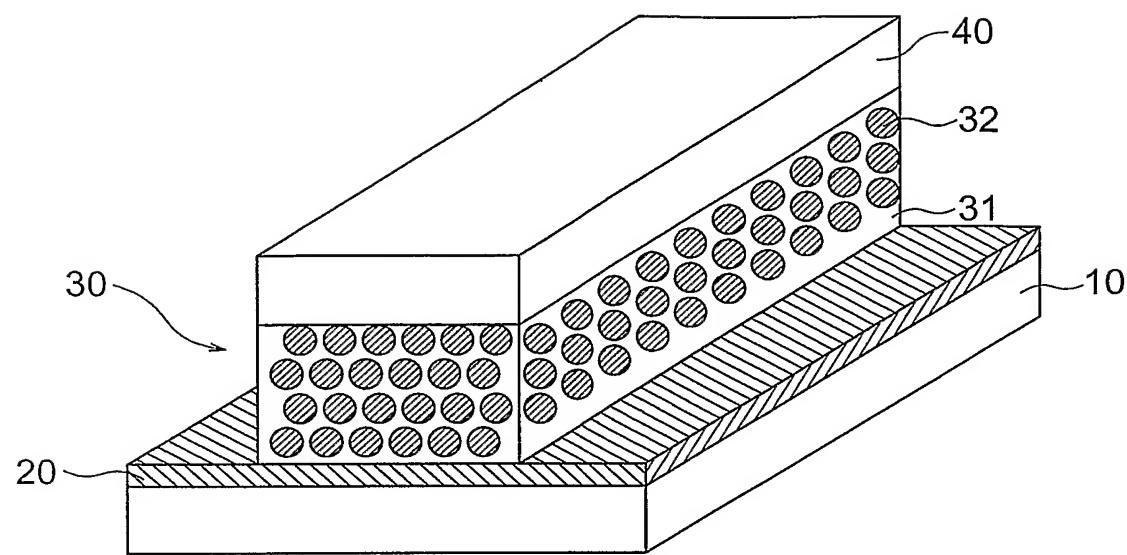


図 1

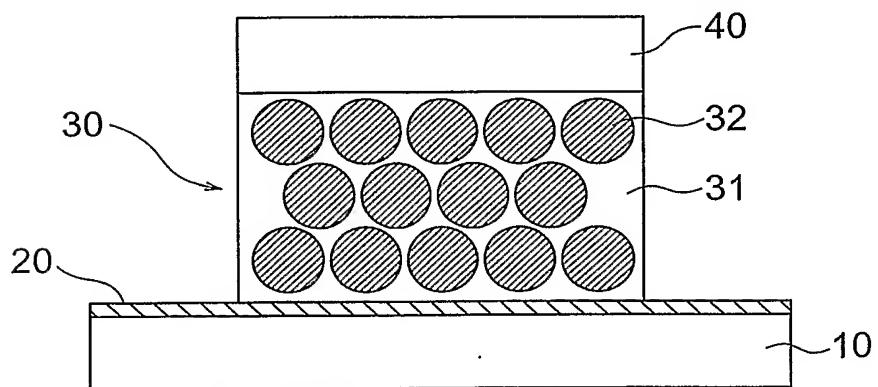


図 2

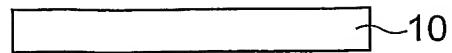


図 3A

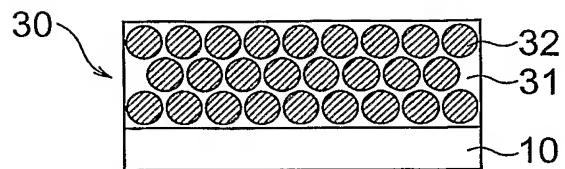


図 3B

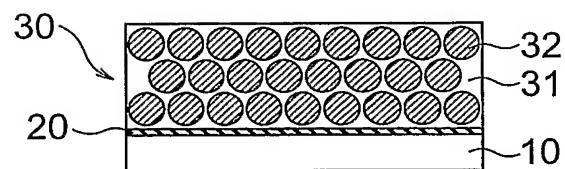


図 3C

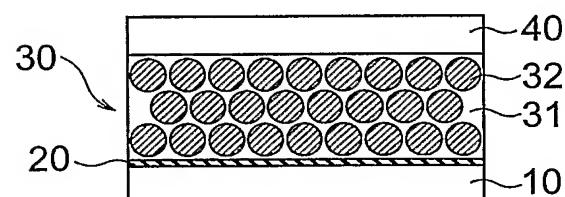


図 3D

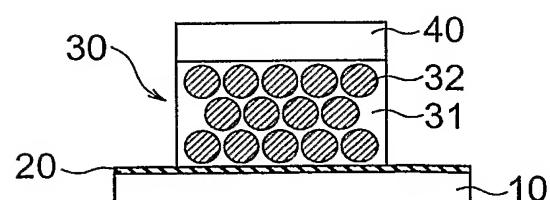


図 3E

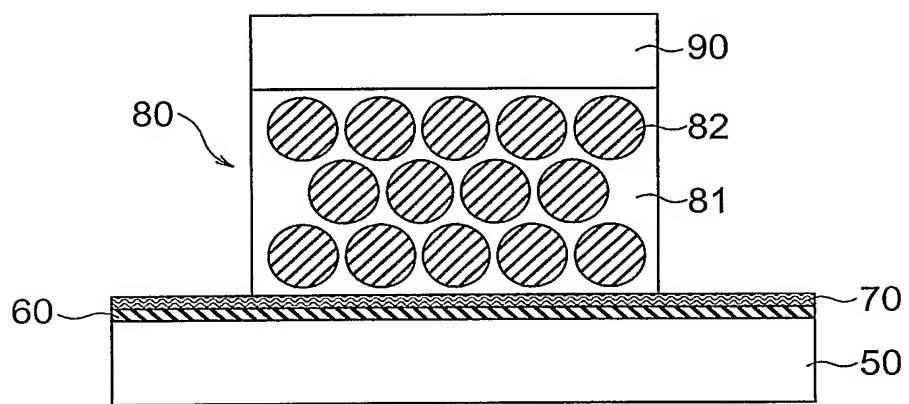


図 4

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2005/004854

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl⁷ H01P3/08, 1/00

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl⁷ H01P3/08, 1/00

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2005
Kokai Jitsuyo Shinan Koho	1971-2005	Toroku Jitsuyo Shinan Koho	1994-2005

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 2002-299924 A (Kyocera Corp.), 11 October, 2002 (11.10.02), Full text; all drawings (Family: none)	1-4
X	JP 3522097 B2 (Kyocera Corp.), 20 February, 2004 (20.02.04), Full text; all drawings (Family: none)	1-4
X	JP 2858073 B2 (TDK Corp.), 04 December, 1998 (04.12.98), Full text; all drawings & US 5683790 A & EP 604952 A1	1-4

 Further documents are listed in the continuation of Box C. See patent family annex.

* Special categories of cited documents:	
"A" document defining the general state of the art which is not considered to be of particular relevance	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"E" earlier application or patent but published on or after the international filing date	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"O" document referring to an oral disclosure, use, exhibition or other means	"&" document member of the same patent family
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search
20 May, 2005 (20.05.05)Date of mailing of the international search report
07 June, 2005 (07.06.05)Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2005/004854

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 2001-217639 A (Toppan Forms Co., Ltd.), 10 August, 2001 (10.08.01), Full text; all drawings (Family: none)	1-4
X	JP 11-273997 A (TDK Corp.), 08 October, 1999 (08.10.99), Full text; all drawings (Family: none)	1-4
A	JP 2003-12377 A (Matsushita Electric Industrial Co., Ltd.), 15 January, 2003 (15.01.03), Full text; all drawings (Family: none)	1-4
A	JP 2003-101311 A (NEC Corp.), 04 April, 2003 (04.04.03), Par. No. [0029] & US 2003/53286 A1 & US 2004/105218 A1	5, 6
A	JP 7-202518 A (Oki Electric Industry Co., Ltd.), 04 August, 1995 (04.08.95), Par. Nos. [0004] to [0006] (Family: none)	5, 6
A	JP 2002-110451 A (Kyocera Corp.), 12 April, 2002 (12.04.02), Par. Nos. [0003], [0004] (Family: none)	5, 6
A	JP 2000-77335 A (Frontec Inc.), 14 March, 2000 (14.03.00), Par. Nos. [0025] to [0027] (Family: none)	5, 6

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int.Cl.7 H01P3/08, 1/00

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int.Cl.7 H01P3/08, 1/00

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2005年
日本国実用新案登録公報	1996-2005年
日本国登録実用新案公報	1994-2005年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X	JP 2002-299924 A (京セラ株式会社) 2002.10.11, 全文、全図 (ファミリーなし)	1-4
X	JP 3522097 B2 (京セラ株式会社) 2004.02.20, 全文、全図 (ファミリーなし)	1-4
X	JP 2858073 B2 (ティーディーケイ株式会社) 1998.12.04, 全文、全図 & US 5683790 A & EP 604952 A1	1-4

 C欄の続きにも文献が列挙されている。 パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの

「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)

「O」口頭による開示、使用、展示等に言及する文献

「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

20.05.2005

国際調査報告の発送日

07.6.2005

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)

郵便番号 100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

吉村 博之

5T 3245

電話番号 03-3581-1101 内線 3568

C (続き) . 関連すると認められる文献		関連する 請求の範囲の番号
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	
X	JP 2001-217639 A (トッパン・フォームズ株式会社) 2001. 08. 10, 全文、全図 (ファミリーなし)	1-4
X	JP 11-273997 A (ティーディーケイ株式会社) 1999. 10. 08, 全文、全図 (ファミリーなし)	1-4
A	JP 2003-12377 A (松下電器産業株式会社) 2003. 01. 15, 全文、全図 (ファミリーなし)	1-4
A	JP 2003-101311 A (日本電気株式会社) 2003. 04. 04, 段落【0029】 & US 2003/53286 A1 & US 2004/105218 A1	5, 6
A	JP 7-202518 A (沖電気工業株式会社) 1995. 08. 04, 段落【0004】 - 【0006】 (ファミリーなし)	5, 6
A	JP 2002-110451 A (京セラ株式会社) 2002. 04. 12, 段落【0003】【0004】 (ファミリーなし)	5, 6
A	JP 2000-77335 A (株式会社フロンティック) 2000. 03. 14, 段落【0025】 - 【0027】 (ファミリーなし)	5, 6